

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-014258
(43)Date of publication of application : 18.01.2002

(51)Int.Cl. G02B 6/42
H01L 31/02

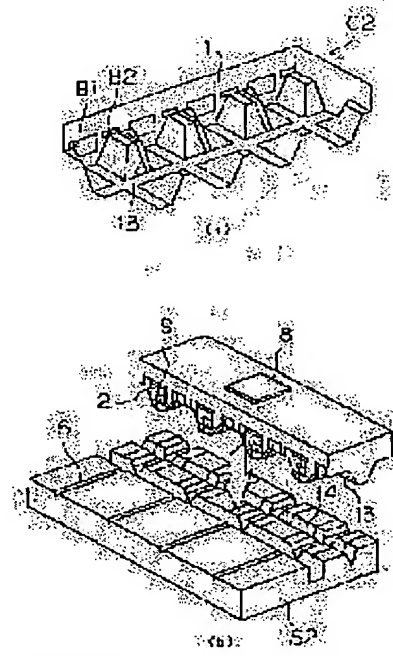
(21)Application number : 2000-199133 (71)Applicant : KYOCERA CORP
(22)Date of filing : 30.06.2000 (72)Inventor : NIWA YOSHIKI

(54) OPTICAL SEMICONDUCTOR ELEMENT CARRIER AND OPTICAL ASSEMBLY PROVIDED WITH IT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an optical semiconductor element carrier, which enables an optical semiconductor element such as a surface light receiving/emitting element to be easily mounted with high precision, and also to obtain its mounting structure.

SOLUTION: A guiding cross-shaped groove 4 is formed on a substrate S1 in accordance with a cross-shaped projection 3 for alignment of the optical semiconductor element carrier C1. The cross-shaped projection 3 is inserted into and fixedly engaged with the guiding cross-shaped groove 4; thus, the optical semiconductor element carrier C1 is positioned with respect to the substrate S1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

for us

15F03745 (2)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-14258

(P2002-14258A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 2 B 6/42		G 0 2 B 6/42	2 H 0 3 7
H 0 1 L 31/02		H 0 1 L 31/02	B 5 F 0 8 8

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2000-199133(P2000-199133)

(22) 出願日 平成12年6月30日(2000.6.30)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 丹羽 善昭

京都府相楽郡精華町光台3丁目5番地 京

セラ株式会社中央研究所内

Fターム(参考) 2H037 AA01 BA02 BA11 DA03 DA04

DA06 DA12

5F088 AB03 DA01 EA02 EA20 GA03

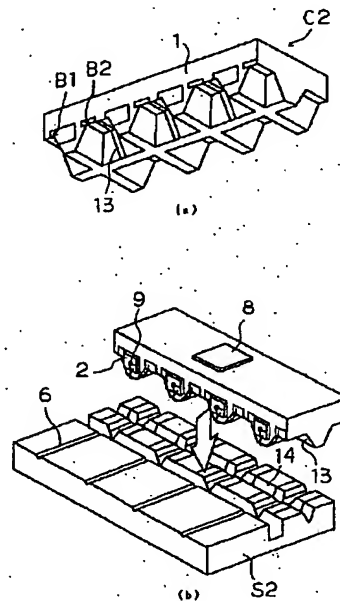
JA01 JA05 JA14 JA20

(54) 【発明の名称】 光半導体素子キャリア及びそれを備えた光アセンブリ

(57) 【要約】

【課題】 面受発光素子等の光半導体素子を容易に高精度な実装を可能とする光半導体素子キャリア及びその実装構造を得ること。

【解決手段】 光半導体素子キャリアC1のアライメント用十字型突起3に対応して、基板S1上にガイド用十字型溝4が形成されており、十字型突起3をガイド用十字型溝4に挿入嵌合させ固定することにより、基板S1と光半導体素子キャリアC1の位置合せを行う。



【特許請求の範囲】

【請求項1】 側面に光半導体素子を配設した基体の下面に位置合わせ用の凸部または凹部を形成した光半導体素子キャリアであって、前記凸部または凹部の平面形状は光軸方向及び該光軸方向に直交する方向に屈曲または分岐した形状をなしていることを特徴とする光半導体素子キャリア。

【請求項2】 前記光半導体素子が面発光素子または面受光素子であることを特徴とする請求項1に記載の光半導体素子キャリア。

【請求項3】 請求項1に記載の光半導体素子キャリアを、前記基体に配設した光半導体素子に光接続させる光導波体を設ける基板上に配設して成る光アセンブリであって、前記基板に前記基体の凸部または凹部に嵌め合わせ可能な凹部または凸部を形成したことを特徴とする光アセンブリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば光ファイバ通信システムに用いられる光半導体素子キャリア及びそれをを用いた光アセンブリに関し、1つまたは複数の光半導体素子と、これと光接続させる光導波体（例えば、光ファイバ）との位置関係を高精度に改善し、高効率光結合が得られる光半導体素子キャリア及びそれをを用いた光アセンブリに関する。

【0002】

【従来の技術】現在、CATVや公衆通信、構内通信システム（LAN）分野において、光ファイバ通信の実用化が始まっている。

【0003】従来、高速・高信頼性の光半導体素子を備えた光モジュールが同軸型あるいはバタフライ型と呼ばれる構造で実現されており、これらは主に幹線系と呼ばれる領域ですでに実用化されている。

【0004】これに対し、近年、単結晶シリコンからなる基板（一般に、シリコンブラットフォームと称される）上に、光半導体素子や光ファイバを機械的精度のみで高精度に位置決め実装を行うパッシブアライメントと呼ばれる技術を用い、小型化・低背化・低コスト化等の要求を満足するための開発が行われている。

【0005】以下に、従来の光半導体素子の実装構造について説明する。

【0006】①：図7に示すものは、PIN型フォトダイオード20を実装するための光半導体素子キャリア41であり、同様に図8は上記光半導体素子キャリア41にPIN型フォトダイオード20を実装した一例である。PIN型フォトダイオード20は用途により異なるが、例えば約500 μ m角、厚さ約200 μ m、受光部23の径が約 ϕ 200 μ m程度であり、受光面及びその反対面（裏面）に電極21、22がそれぞれ形成されている。

【0007】ここで、PIN型フォトダイオード20は受

光面を上にして、電極パターン411上にAu-Sn合金半田等により接続固定され、裏面電極22と電気的に接続されている。また、電極パターン412と受光面電極21とは、ボンディングワイヤ50により電気的接続がなされる。

【0008】図9にPIN型フォトダイオード20を実装した光半導体素子キャリア41を、基板S1上に配設した一例を示す。PIN型フォトダイオード20はその受光面を基板S1の主面に対して垂直になるように固定され、基板S1の主面に対して平行に実装された不図示の光ファイバと光学的に結合される。PIN型フォトダイオード20への給電用の配線は、PIN型フォトダイオード20の実装面と別の面の電極パターン411、412から基板上の電極へワイヤボンディングすることにより行われる。

【0009】ここで、光半導体素子キャリア41は一般的にはアルミナ等のセラミック体上に、フィラー入りペーストを用い、印刷により各面ごとに電極パターン411、412が形成される。但し、セラミック表面に電極を形成させるので、印刷前に面の研磨を実施しなければならない。

【0010】②：また、光半導体素子を実装した基板のアライメント方法としては、図10に示すように、基板62上にアライメント用の凹部63やガイド溝64を設け、これらと適合する突起状の構造59とガイドピン58を有するアライメント治具60を用いて、簡便に光半導体素子61をアライメントし、固定するという方法も提案されている（例えば、特開平10-31138号公報を参照）。

【0011】

【発明が解決しようとする課題】しかしながら、上記①のように光半導体素子キャリアとそれをを用いた光アセンブリのアライメント方法では、目合せマーカ等を用いて視覚的に行う為、光軸とその水平方向、かつシリコン基板上に垂直な軸を基軸とした回転方向の実装精度が悪く、光半導体素子受光部と光ファイバとの位置は設計値から最大12 μ mもずれる。その為、特に高い精度が要求される高速光モジュール（位置ずれ許容誤差： $\pm 8\mu$ m）では所望の受光パワーが得られず歩留まりが著しく悪くなってしまふ。また、本方法で十分な精度を得るには高額な設備投資が必要である。

【0012】また、上記②のように光半導体素子を実装する方法では、位置決めに使用するガイドピン穴径やそのピッチを、異方性エッチングにて作製するSi溝のように精度良く作製することはできず（セラミック射出成形にてパッケージを作製したとき、ガイドピン穴径精度： $\pm 7\mu$ m）、高精度の位置決めをすることが困難である。

【0013】また、治具を介して間接的に位置決め固定する方法なので、治具と2つのガイドピン穴のピッチ・

ガイドピン穴径の誤差によって生じる嵌め合せ誤差が必然的に発生してしまう問題がある。

【0014】さらに、治具と基板との嵌め合わせ構造の平面構造は単純な矩形状であるので、治具と基板との接触面積が小さく不安定であり、しかも治具の回転を規制しにくく、これにより、光半導体素子を高精度に位置決め固定することができない。

【0015】そこで本発明は上記従来技術における問題点を鑑みて提案するものであり、特に面発光半導体素子等の光半導体素子の実装に好適で、しかも、量産性に優れ、高精度で安定した実装が可能な光半導体素子キャリア及びそれを用いた光アセンブリを提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明の光半導体素子キャリアは、側面に光半導体素子を配設した基体の下面に位置合わせ用の凸部または凹部を形成し、前記凸部または凹部の平面形状は光軸方向及び該光軸方向に直交する方向に屈曲または分岐した形状をなしていることを特徴とする。ここで特に、光半導体素子が面発光素子または面受光素子であることを特徴とする。

【0017】また、本発明の光アセンブリは、上記光半導体素子キャリアを、前記基体に配設した光半導体素子に光接続させる光導波体を設ける基板上に配設して成る光アセンブリであって、前記基板に前記基体の凸部または凹部に嵌め合わせ可能な凹部または凸部を形成したことを特徴とする。

【0018】特に、上記基体及び基板を異方性エッチングが可能な材料を用い、双方の嵌め合わせ構造を異方性エッチングで作製すれば、非常に高精度な嵌め合わせ構造を実現することができる。

【0019】

【発明の実施の形態】以下、本発明に係わる光半導体素子キャリア及びその光アセンブリの実施形態を図面に基づき詳細に説明する。

【0020】まず、光半導体素子キャリアについて説明する。図1はその製造工程の概略を示している。光半導体素子キャリアの本体（基体）を作製するために、異方性エッチングが可能な材料、例えば単結晶シリコンのウエハ30を用い、その主面はミラー指数で(100)面、もしくは(110)面とする。このウエハ30の表裏面に熱酸化膜を形成し、図1(a)に示すようにフォトリソグラフィにより表面の熱酸化膜をマス目状に抜きマスクを形成する。

【0021】続いて、このウエハ30をKOH水溶液などのアルカリ性水溶液に浸透し、異方性エッチングにより図1(b)のような断面V字状または台形状の傾斜溝（いわゆるV溝）を形成する。

【0022】所望の寸法で精度良く傾斜溝が形成された

このウエハ30を、次に図1(c)に示すように、表面に電極パターンD3を底面と斜面に印刷を施す。これは後述する基板S1の十字型V溝4の電極パターンD4と接続し、光半導体素子へ給電するための電極となる。ここで、すべての電極パターンは光半導体素子実装時の画像認識用マーカとしても用いるため、表面に均一なフォトレジストの塗布ができるスプレー方式、露光にはネガ型フォトレジストを各々好適に用いる。

【0023】次に、図1(d)に示す破線をダイシング切断すると、高精度に形成された十字型突起3を持つ光半導体素子キャリアC1を大量に加工することができる。

【0024】次に、光半導体素子2を実装する基体の側面における前面CF1に電極パターンD1、D2を形成する（図1(e)）。最後に、光半導体素子2を光半導体素子キャリアC1の前面CF1にフリップチップ実装機にて位置決め、加熱固定後（この固定材としてはAuSi系、AuSn系、PbSn系、In系半田を用いることができる）、ボンディングワイヤ51で配線し、アライメント用高精度十字型突起3を持つ光半導体素子キャリアC1部分は完成する。

【0025】次に、基板S1の作製について説明する。基板S1についても光半導体素子キャリアC1と同様の主軸を持つ単結晶シリコンウエハ31を使用し、表裏面に熱酸化膜を形成し、図2(a)に示すようにフォトリソグラフィにより所望のパターンになるようにマスクを形成する。

【0026】この後引き続き、このウエハ31をKOH水溶液などのアルカリ性水溶液に浸透し、高精度の十字型V溝4とファイバ固定用のV溝6を形成する。

【0027】次に、図2(b)に示すように、電極パターンを形成し、続いて光路用ダイシング溝となる箇所7'を不図示のダイシングマーカに合わせて入れ、更にチップ状に切断加工すると（図2(c)）、基体の下面にアライメント（位置合わせ）用の高精度十字型V溝4を持った基板S1を大量に製造することができる。

【0028】次に、図3に示すように、製造した光半導体素子キャリアC1を基板S1に実装して光アセンブリを作製する。実装機を使用し光半導体素子キャリアC1の側面CS1を持ち慎重にハンドリングし、十字型突起3と、基板S1上に形成したガイド用十字型V溝4を嵌めさせる。嵌合部（十字型突起3、十字型V溝4）にはあらかじめ半田が施してあり、嵌合後、光半導体素子キャリアC1に対し垂直押圧加重（これにより十字型突起3と十字型V溝4を隙間なく嵌合することができる）を行い加熱固定する。この時、光半導体素子キャリアの電極パターンD3と基板の電極パターンD4とが電氣的に接続される。

【0029】アライメント（位置合わせ）用に形成した十字型突起3と十字型V溝4は高い寸法精度を有してお

り、それらの機械的精度を利用して基板S1と光半導体素子キャリアC1とを著しく精度の良い配置が可能となる。また、本十字型形状は、光軸とその垂直方向、かつシリコン基板S1に垂直な軸を基軸とした回転方向に対し安定した実装に適している。よって、基板S1上のV溝6に光ファイバ5を実装すると、光半導体素子2と光ファイバ5は設計値に対し高い精度の位置関係を保ち、高い結合が実現される。

【0030】上記位置合わせ用の凸部は凹部に形成してもよく、この場合は基板側を凸部に形成する。また、その平面形状は、十字型を含む形状が接触面積が広くなり光半導体素子キャリアを基板に対し最も安定的に位置合わせすることができるが、図6(a)に示すようにL字状でもよく、また、図6(b)に示すように、T字状でもよい。また、これらの1以上を組み合わせた形状でもよい。要は光軸方向及び光軸方向に直交する方向に屈曲した形状(L字状)や分岐した形状(T字状や十字)を含む形状であればよい。したがって、例えば図6(c)に示すように、T字と十字とを組み合わせたものであってもよい。

【0031】図4に、上記光半導体素子キャリアを基板S1に配設し、さらに、この基板S1に光半導体素子2に光接続させる光導波体である光ファイバ6を配設した光アセンブリの一例を示す。ここで、図4(a)は平面図を示し、図4(b)はそのA-A線断面図を示している。

【0032】

【実施例】次に、より具体的な実施例について説明する。

【0033】本実施例では図5に示すような4つの光半導体素子を結合させるアレイ型光アセンブリを作製し試験を行った。

【0034】まず、アレイ型光半導体素子キャリアC2は、単一の光半導体素子キャリアC1と同様に作製した単結晶シリコンから成るウエハ30を使用し、図5

(a)に示す形状に加工した。ここで作製した光半導体素子キャリアの形状から推測できる通り、アレイ型でも単一光半導体素子用の光半導体素子キャリアでも、ウエハV溝の基本的なマスクパターン、電極パターンは同一とした。これより部品の共通化が図れ、一層の低コスト化が実現できた。

【0035】光半導体素子キャリアC2の点B1、B2間の寸法は、上記サイズの光半導体素子2に中心波長850nm、外形寸法0.3mm角の面発光素子を実装することを考慮して0.596mmと設定した。また、光半導体素子2同士のピッチを0.8mmとし、半導体素子キャリアC2への実装は各発光部中心が点B1、B2の中点になるように実装・固定した(つまり光軸が丁度基板の表面上に来るように設計した)。

【0036】また、光半導体素子キャリアC2上にブリ

アンブ8を実装すると、配線長を約1mmと短くすることができる為、中間の電極配線とインピーダンス整合をとることで10GHzの信号に対して低損失な配線を可能にした。

【0037】次に、図5(b)に示すアレイ用基板S2を作製した。このときの注意点は、ガイド用十字型V溝4のピッチを光半導体素子のピッチと同じにし、溝幅を十字型突起13と十字型V溝14上に印刷する電極厚み分を考慮して0.6mmになるよう設定すること、光ファイバ5固定用V溝6は光ファイバ5のコア中心がアレイ用基板S2表面と同じ高さに設置できるよう溝幅を0.153mmにすることである。

【0038】光半導体素子キャリアC2とチップ状にしたアレイ用基板S2の、それぞれ十字型突起13と十字型V溝14を嵌合し、押圧加熱することで固定した。

【0039】光ファイバ5にはグレーデッド・インデックス・ファイバを用い、V溝6に実装すると、光半導体素子2の発光部9と光ファイバ5の光軸が精度良く99%の信頼度で±7μm以内の精度で合わせることができ、本発明のアライメント方法が従来例に比べ良好であることが確認できた。

【0040】なお、以上はあくまで本発明の実施形態の例示であって、本発明はこれらに限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更や改良を加えることは何ら差し支えない。

【0041】

【発明の効果】以上のように、本発明の光半導体素子キャリア及びそれを備えた光アセンブリによれば、以下に示す顕著な効果を奏することができる。

【0042】・異方性エッチングが可能な例えば一枚のシリコン単結晶ウエハより光半導体素子キャリアを大量に生産することが可能であり、生産性が極めて良好である。この場合、特に、光半導体素子キャリア及び光導波体設ける基板に形成する凸部または凹部を十字型を含む形状にすることにより、これらは異方性エッチングにより極めて高い精度で形成されるため、光半導体素子キャリアの位置精度は光軸とその水平方向、かつシリコン基板と垂直な軸を基軸とした回転方向に対し高精度となる。

【0043】・製造工程を大きく変化させることなく、複数の光半導体素子を搭載可能なアレイ型光半導体素子キャリアを容易に製造でき、ウエハも共通化できるため低コスト化が可能である。

【0044】そして、以上の効果により、実装精度が非常に高く、低コスト、小型化に優れ生産性が著しく向上した、優れた光半導体素子キャリア及びその実装構造(光アセンブリ)を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る光半導体素子キャリアの製造工程の概要を模式的に説明する図であり、(a)はウエハ上

の酸化膜マスクパターンを表す斜視図、(b)はエッチングを施したウエハを表す斜視図、(c)はウエハ上に電極を印刷した様子を示す平面図、(d)はダイシング加工後の光半導体素子キャリアの模式図、(e)は電極パターンをすべて行った状態の光半導体素子キャリアの斜視図、(f)は光半導体素子を搭載した光半導体素子キャリアの斜視図である。

【図2】本発明に係る基板の製造方法を模式的に説明する図であり、(a)はウエハ上の酸化膜マスクパターンを表す斜視図、(b)はエッチングして電極を印刷したウエハの平面図、(c)はダイシング加工後の基板を示す模式図である。

【図3】本発明に係る光半導体素子キャリアとシリコン基板の組み立てを模式的に表す図である。

【図4】本発明に係る光アセンブリを模式的に説明する図であり、(a)は平面図、(b)は(a)におけるA-A線断面図である。

【図5】本発明に係るアレイ型光半導体素子キャリアを模式的に示す図であり、(a)はアレイ型光半導体素子キャリアの斜視図、(b)はアレイ型光半導体素子キャリアとシリコン基板の組み立ての様子を示す模式図である。

【図6】(a)～(c)はそれぞれ本発明の位置合わせ用の凸部または凹部の平面形状の変形例を示す図である。

【図7】従来の光半導体素子キャリアを模式的に示す斜視図である。

【図8】従来の光半導体素子キャリアにPIN型フォトダイオードを実装した斜視図である。

【図9】従来の光半導体素子キャリアを基板上に載置した一例を模式的に説明する図であり、(a)は正面側一部断面図、(b)は平面図、(c)は側面側一部断面図である。

*【図10】従来のアライメント方法を説明する断面模式図である。

【符号の説明】

1：光半導体素子キャリア

2：光半導体素子

3：十字型突起

4：十字型V溝

5：光ファイバ

6：V溝

7：ダイシング溝

8：ブリアンプ

9：発光部

13：十字型突起

14：十字型V溝

20：PIN型フォトダイオード

21：受光面電極

22：裏面電極

23：受光部

30、31：ウエハ

41：光半導体素子キャリア

411：第1の電極パターン

412：第2の電極パターン

50、51：ボンディングワイヤ

D1～D4：電極パターン

B1：点

B2：点

C1：光半導体素子キャリア

CF1：前面

CS1：側面

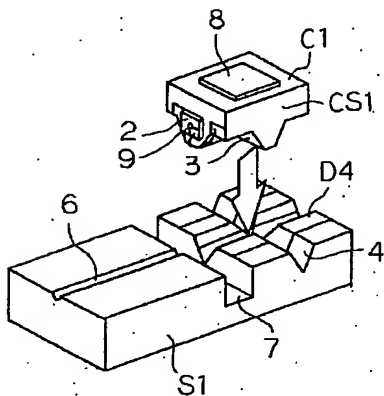
C2：アレイ型光半導体素子キャリア

SA：光アセンブリ

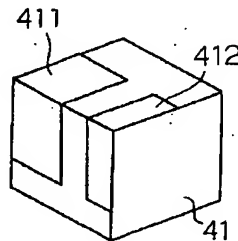
S1：基板

* S2：アレイ用基板

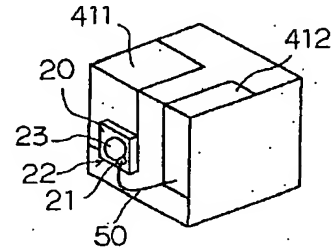
【図3】



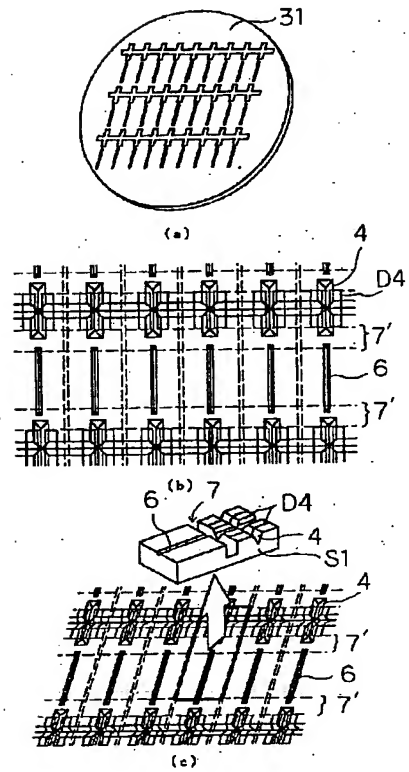
【図7】



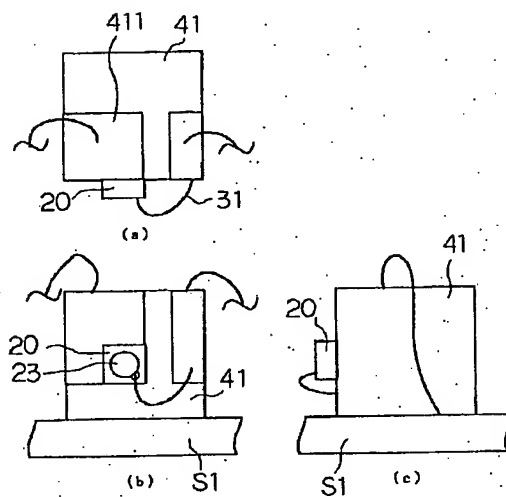
【図8】



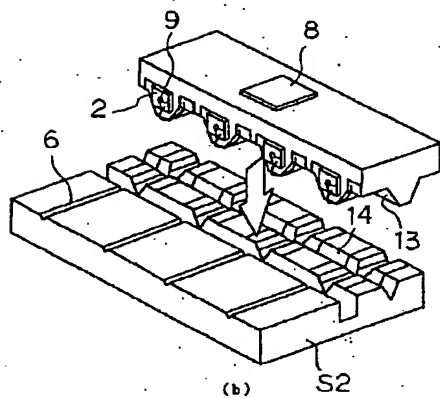
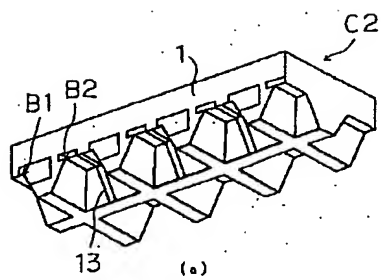
【図2】



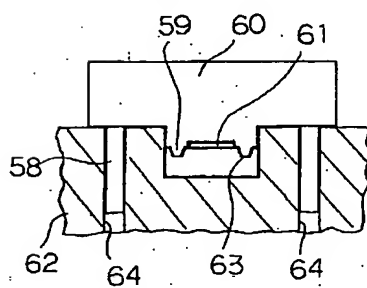
【図9】



【図5】

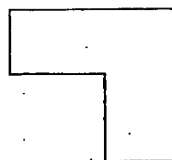


【図10】

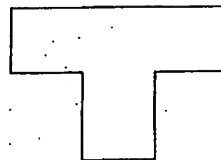


【図6】

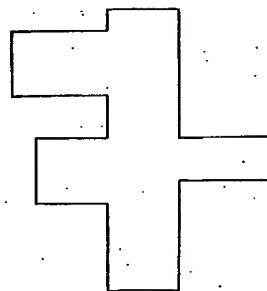
(a)



(b)



(c)



THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)